

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0078658  
Application Number

출원년월일 : 2002년 12월 11일  
Date of Application DEC 11, 2002

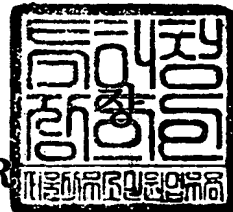
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 29 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2002.12.11
【발명의 명칭】	반도체소자의 금속배선 형성방법
【발명의 영문명칭】	Method for forming metal line of semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	심규찬
【성명의 영문표기】	SHIM,Kew Chan
【주민등록번호】	710126-1110010
【우편번호】	442-738
【주소】	경기도 수원시 팔달구 영통동 1048-2 청명마을 주공아파트 406동 503 호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	14 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	11 항 461,000 원
【합계】	490,000 원
【첨부서류】	1. 위임장_1통

**【요약서】****【요약】**

본 발명은 반도체소자의 금속배선 형성방법에 관한 것으로, 그 구성은 반도체기판상에 주기율표의 17족에 해당하는 할로겐원소를 포함하는 Ti 화합물과  $\text{NH}_3$  반응물을 이용하여 TiN 박막을 형성함과 동시에 TiN 박막표면에 할로겐원자가 흡착되는 단계; 및 상기 흡착된 할로겐 원자를 촉매로 이용하여 상기 TiN 박막상에 구리박막을 형성하는 단계를 포함하여 구성되어, 하나의 챔버시스템에서 인시튜로 배선공정을 진행할 수 있어 우수한 계면특성과 짧은 공정시간의 공정 특성을 얻을 수 있는 것이다.

**【대표도】**

도 2d

**【명세서】****【발명의 명칭】**

반도체소자의 금속배선 형성방법{Method for forming metal line of semiconductor device}

**【도면의 간단한 설명】**

도 1a 및 도 1b는 본 발명에 따른 반도체소자의 금속배선 형성방법에 있어서,  $TiI_4$  반응물과  $NH_3$ 을 이용한 TiN 증착과정을 나타낸 도면,

도 2a 내지 도 2d는 본 발명에 따른 반도체소자의 금속배선 형성방법에 있어서, 촉매에 의한 구리 기상화학 증착과정을 나타낸 도면.

**【도면부호의 설명】**

11 : 반도체기판    13 : 절연막

15 : 콘택홀    17 : TiN 박막

19a, 19b, 19c : 구리박막    A : 요오드원자

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7>    본 발명은 반도체소자의 금속배선 형성방법에 관한 것으로서, 보다 상세하게는 여러 반응물을 이용하여 확산방지막과 구리막을 인시튜(in-situ)로 형성하는 반도체소자의 금속배선 형성방법에 관한 것이다.

<8> 기존의 배선공정은 확산방지막 반응로내에서 TiN막을 형성시킨후 구리증착 반응로에서 구리를 증착시키는 형태로 진행되어 왔다.

<9> 또한, 요오드 등의 촉매를 이용할 경우 또다른 촉매 흡착반응로에서 촉매를 흡착시킨후 구리증착을 행하여 왔다.

**【발명이 이루고자 하는 기술적 과제】**

<10> 이러한 기존의 배선공정은 TiN 위에  $TiO_2$  등의 산화막층이 발생되어 계면특성이 나빠지며, 촉매효과를 얻지 못하는 결과를 나타내었다. 또한, 반응로가 세 개나 필요하며 공정도 복잡해짐은 물론 배선 형성공정시간도 매우 길게 된다.

<11> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 하나의 챔버시스템에서 인시튜로 배선공정을 진행할 수 있어 우수한 계면특성과 짧은 공정시간의 공정특성을 얻을 수 있는 반도체소자의 금속배선 형성방법을 제공함에 그 목적이 있다.

**【발명의 구성 및 작용】**

<12> 상기 목적을 달성하기 위한 본 발명에 따른 반도체소자의 금속배선 형성방법은, 반도체 기판상에 주기율표의 17족에 해당하는 할로젠원소를 포함하는 Ti 화합물과  $NH_3$  반응물을 이용하여 TiN 박막을 형성함과 동시에 TiN 박막표면에 할로젠원자가 흡착되는 단계; 및

<13> 상기 흡착된 할로젠 원자를 촉매로 이용하여 상기 TiN 박막상에 구리박막을 형성하는 단계를 포함하여 구성되는 것을 특징으로한다.

<14> (실시예)

- <15> 이하, 본 발명에 따른 반도체소자의 금속배선 형성방법을 첨부된 도면을 참조하여 상세히 설명한다.
- <16> 도 1a 및 도 1b는 본 발명에 따른 반도체소자의 금속배선 형성방법에 있어서,  $TiI_4$  반응물과  $NH_3$ 을 이용한  $TiN$  증착과정을 나타낸 도면이다.
- <17> 본 발명에 따른 반도체소자의 금속배선 형성방법은, 도 1a에 도시된 바와같이, 먼저 실리콘기판(11)상에 절연막(13)을 증착한후 이를 포토리소그래피 공정에 의한 포토마스크(미도시)를 이용하여 선택적으로 제거하여 콘택홀(15) (또는, 트렌치)를 형성한다.
- <18> 그다음, 도 1b에 도시된 바와같이, 상기 콘택홀(15)을 포함한 절연막(13)상에  $TiI_4$  반응물과  $NH_3$ 를 이용하여  $TiN$  박막(17)을 증착한다. 이때, 공정온도는 약  $150\sim 300^\circ C$ 에서, 공정압력은  $0.1 \sim 10$  Torr이다. 한편, 상기 요오드 이외에 주기율표의 17족에 해당하는 할로젠원소인 플루오르(F), 염소(Cl), 브롬(Br), 아스타팀(At)를 함유한 화합물을 반응물로 이용할 수도 있다.
- <19> 그리고, 상기  $TiI_4$ 와  $NH_3$ 의 주입을 동시에 주입하는 형태와 ALD(atomic layer deposition)형태로 순차적으로 주입할 수 있다. 더욱이,  $TiN$  확산방지막 형성시에 플라즈마를 이용한다.
- <20> 또한, 기체 상태로 공급된  $TiI_4$ 와  $NH_3$  반응물은 반응로내에서 실리콘 또는 실리콘산화막 등의 기판위에서 분해되어  $TiN$  박막(17)을 만들고, 요오드화수소(HI)는 반응로밖으로 빠져 나가고 일부 요오드(iodine)(I)는 표면에 흡착하게 된다.
- <21> 이러한 과정에 대해 반응식으로 나타내면 다음과 같다.
- <22>  $TiI_4 + NH_3 \Rightarrow TiN_{(s)} + HI_{(g)} + I_{(ad)}$

- <23> 여기서, TiN 박막을 만들기 위한  $TiI_4$ 와  $NH_3$  반응물은 동시에 반응로내에 공급할 수도 있으며, ALD(atomic layer deposition) 형태로 순차적으로 주입(sequential injection)할 수도 있다.
- <24> 도 2a 내지 도 2d는 본 발명에 따른 반도체소자의 금속배선 형성방법에 있어서, 촉매에 의한 구리 기상화학 증착과정을 나타낸 도면이다.
- <25> 요오드 원자가 흡착되어 있는 TiN 박막(17)위에서 구리박막을 증착하면, 기존의 화학기상증착법에서 보였던 유사한 증착(conformal deposition)을 보이지 않고, 바닥-상부 매립(bottom-up fill) 형태로 패턴내부가 채워짐을 볼 수 있다.
- <26> 도 2a에 도시된 바와같이, 기판에 TiN박막(17)의 증착과 동시에 표면에 요오드 원자(A)가 흡착된다.
- <27> 그다음, 도 2b에 도시된 바와같이, 이렇게 TiN 박막(17)의 증착과정이 끝나면 헥사플루오르에세틸 아세토네이트 Cu 비닐트리메틸실란 (hexafluoroacetyl acetone) Cu (vinyltri methyl -silane) 반응물을 이용하여 구리박막(19a)을 증착한다. 이때, 상기 구리박막(19a)의 구리전구체(copper precursor)로 상기 헥사플루오르에세틸 아세토네이트 Cu 비닐트리메틸실란 (hexafluoroacetyl acetone) Cu (vinyltri methyl -silane) 반응물이외에,  $Cu(hfac)_2$ ,  $(hfac)Cu(COD)$ ,  $(hfac)(Cu)(ATMS)$ 중에서 선택하여 이용할 수 있다.
- <28> 또한, 상기 구리박막의 증착조건은  $150\sim 300^\circ C$  온도, 공정압력은  $0.1\sim 10$  Torr이다. 그리고, 도 2b에서와 같이, 증착초기에 구리박막(19a)은 일반적인 화학기상증착공정에서

흔히 볼 수 있듯이 증착시간에 대해 일정한 증착속도를 가지고 패턴의 바닥과 벽면에서 모두 균일하게 증착된다.

<29> 또한, 상기 구리박막이외에 텅스텐, 알루미늄, 탄탈륨 박막중에서 선택하여 사용할 수도 있다.

<30> 그다음, 도 2c에 도시된 바와같이, 구리증착의 중간단계에서의 구리박막(19a)은 패턴의 바닥부분에서 다른 부분보다 더 빠른 속도로 성장한다. 이때, 상기 구리박막(19b)의 증착속도는 증착시간이 증가함에 따라 점점 가속되어 패턴은 빠른 시간내에 채워진다.

<31> 이어서, 도 2d에 도시된 바와같이, 구리증착의 마지막 단계에서 패턴이 완전히 채워진 후로서 박막 성장속도가 급격히 감소하여 구리증착 초기단계의 성장속도와 거의 같아진다. 그결과 패턴은 바닥-상부 매립(bottom-up fill)방식으로 완전히 채워지고 패턴이 있던 자리에는 언덕 모양의 흔적이 남는다.

<32> 증착초기에는 구리박막은 패턴표면에 균일하게 증착되므로 박막이 성장함에 따라 콘택홀내부의 측벽 및 바닥의 표면적은 점차 줄어 들게 된다. 그러나, 구리박막위에 흡착된 초기 요오드 양은 고정되어 있으므로 표면적이 감소함에 따라 요오드의 농도는 증가한다.

<33> 콘택홀(15)의 측벽 및 바닥의 표면적 감소율은 콘택홀(15)이 가진 기하학적 모양에 따라 결정된다.

<34> 따라서, 콘택홀 바닥의 표면적 감소율이 측벽에서의 표면적 감소율보다 크므로 콘택홀 바닥의 요오드 농도는 측벽보다 더 빠른 속도로 증가한다.



- <35>        그러므로, 구리박막이 더욱 성장함에 따라 요오드 농도도 증가하므로 콘택홀 바깥에서의 박막의 성장속도는 점점 빨라져 임계성장속도에 도달하는데 이때가 유사한 증착(conformal deposition)에서 바닥-상부 매립(bottom-up fill) 형태로 바뀌는 시점이 된다.
- <36>        여기서, 임계성장속도는 박막의 성장속도가 요오드의 농도차이에 의한 확산속도를 추월하기 시작하는 성장속도로 정의된다. 도 2c에서의 증착중간단계에서는 바닥에서의 박막 성장속도가 콘택홀내의 측벽에 있는 요오드의 확산속도보다 빠르므로 측벽에 흡착되어 있던 요오드(A)가 콘택홀의 바닥에서 성장하여 올라온 구리박막(19b)의 표면위에 그대로 축적된다.
- <37>        도 2d에서와 같이, 계속해서 바닥에서부터 구리박막(19c)이 성장하면 표면에 축적되는 요오드의 양도 계속 증가하므로 박막의 성장속도는 더욱 증가한다.
- <38>        이와같이, 바닥-상부 매립 방식으로 패턴의 내부가 거의 채워졌을 때 바닥에서부터의 구리박막 성장속도는 최대값을 가진다.
- <39>        패턴의 내부가 전부 채워져 평평한 상태가 될 때 도 2c에서의 단계2에서 도 2d에서의 단계 3으로 전환된다. 단계 3에서는 앞의 단계(도 2c 참조)에서 바닥의 구리박막표면에 부분적으로 농축되어 있던 요오드가 주변으로 빠르게 확산되면서 농축되었던 양이 감소하기 시작한다.
- <40>        시간이 지남에 따라 다른 박막표면에서의 성장속도와 같아지게 된다. 동시에 농축되었던 요오드도 주변박막의 표면으로 확산하여 고르게 재분포된다.

**【발명의 효과】**

- <41>       상기에서 설명한 바와같이, 본 발명에 따른 반도체소자의 금속배선 형성방법에 의하면, 기존의 3개 챔버 시스템 (즉, 확산방지막 반응로, 촉매처리 반응로, 구리박막 반응로)을 하나의 챔버시스템으로 구현하기 위해 TiN 확산방지막을 형성하기 위한 반응물로  $TiI_4$ 와  $NH_3$ 을 사용하였으며, 반응시 발생하는 흡착 요오드(adsorbed iodine) 원자를 촉매로 이용하였으며, 동시에 인시튜로 헥사플루오르에세틸 아세토네이트 Cu 비닐트리메틸실란 (hexafluoroacetyl acetone) Cu (vinyltri methyl -silane) 반응물을 이용하여 구리박막을 증착하였다.
- <42>       따라서, 하나의 챔버시스템에서 배선공정이 이루어지기 때문에 우수한 계면특성과 짧은 공정시간의 공정특성을 갖는다.
- <43>       더욱이, 구리 시드(seed)층없이도 TiN 확산방지막위에서 곧바로 보이드없는 구리박막을 증착할 수 있는 장점이 있다.
- <44>       한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

**【특허청구범위】****【청구항 1】**

반도체기판상에 할로겐원소를 포함하는 Ti 화합물과  $\text{NH}_3$  반응물을 이용하여 TiN 박막을 형성함과 동시에 TiN 박막표면에 할로겐원자가 흡착되는 단계; 및

상기 흡착된 할로겐 원자를 촉매로 이용하여 상기 TiN 박막상에 구리박막을 형성하는 단계를 포함하여 구성되는 것을 특징으로하는 반도체소자의 금속배선 형성방법.

**【청구항 2】**

제1항에 있어서, 상기 구리박막은 TiN 박막 형성후 인시튜로 헥사플루오르에세틸 아세토네이트 Cu 비닐트리메틸실란 (hexafluoroacetyl acetone) Cu (vinyltri methyl-silane) 반응물,  $\text{Cu}(\text{hfac})_2$ ,  $(\text{hfac})\text{Cu}(\text{COD})$ ,  $(\text{hfac})(\text{Cu})(\text{ATMS})$ 중에서 선택하여 이용하는 것을 특징으로하는 반도체소자의 금속배선 형성방법.

**【청구항 3】**

제1항에 있어서, 상기 구리박막 형성공정은 콘택홀패턴 또는 트랜치패턴에 적용하는 것을 특징으로하는 반도체소자의 금속배선 형성방법.

**【청구항 4】**

제1항에 있어서, 상기 구리박막은 화학기상증착법을 이용하여 증착하는 것을 특징으로하는 반도체소자의 금속배선 형성방법.

**【청구항 5】**

제1항에 있어서, 상기 구리박막이외에 텅스텐, 알루미늄, 탄탈륨 박막중에서 선택하여 사용하는 것을 특징으로하는 반도체소자의 금속배선 형성방법.

**【청구항 6】**

제1항에 있어서, 상기 할로겐원소는 주기율표의 17족에 해당하며, 할로겐원소로는 요오드(I)이외에 플루오르(F), 염소(Cl), 브롬(Br), 아스타팀(At)을 포함하는 것을 특징으로 하는 반도체소자의 금속배선 형성방법.

**【청구항 7】**

제1항에 있어서, 상기 TiN박막과 구리박막 형성시의 공정온도는 100~300 °C이고, 공정압력은 0.1~10 Torr인 것을 특징으로하는 반도체소자의 금속배선 형성방법.

**【청구항 8】**

제1항에 있어서, 상기 Ti 화합물과 NH<sub>3</sub> 의 주입을 동시에 주입하는 형태와 ALD(atomic layer deposition)형태로 순차적으로 주입하는 것을 특징으로하는 반도체소자의 금속배선 형성방법.

**【청구항 9】**

제1항에 있어서, 상기 TiN 박막 형성시에 플라즈마를 이용하는 것을 특징으로하는 반도체소자의 금속배선 형성방법.

**【청구항 10】**

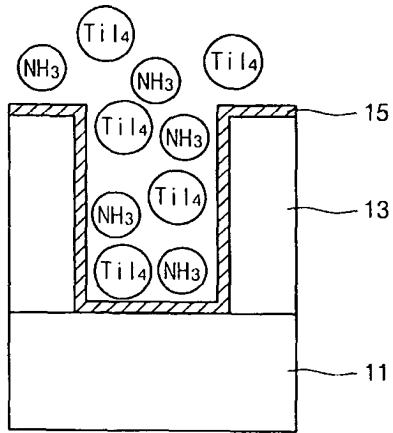
제1항에 있어서, 상기 Ti 화합물은 TiI<sub>4</sub>를 포함하며, 흡착된 할로겐원소는 요오드인 것을 특징으로하는 반도체소자의 금속배선 형성방법.

【청구항 11】

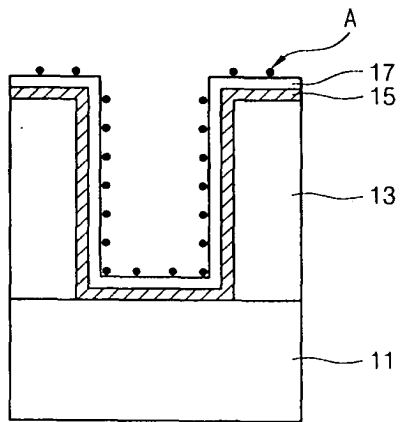
제1항에 있어서, 상기 TiN 박막과 구리박막의 증착은 하나의 챔버내에서 이루어지는 것을 특징으로하는 반도체소자의 금속배선 형성방법.

【도면】

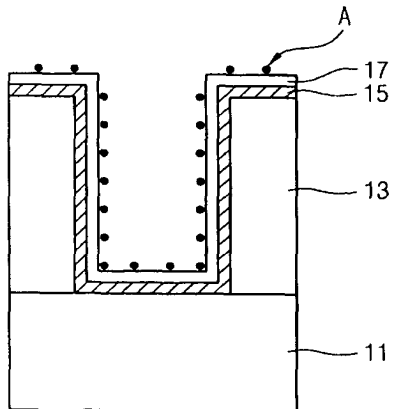
【도 1a】



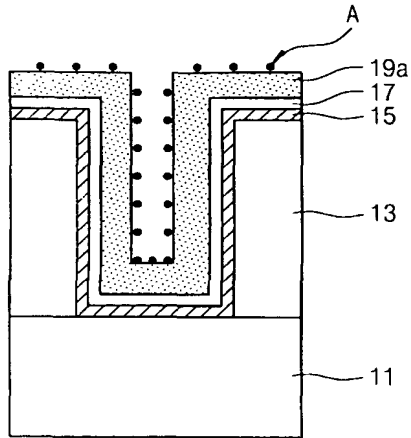
【도 1b】



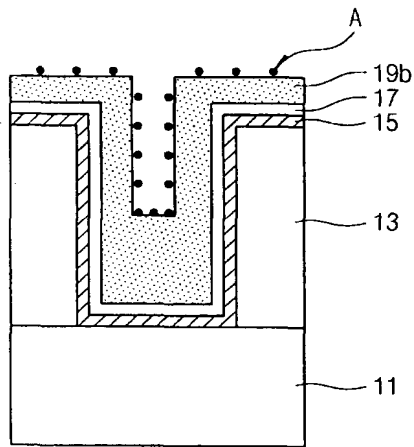
【도 2a】



【도 2b】



【도 2c】



【도 2d】

